

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08069447 A**(43) Date of publication of application: **12.03.96**

(51) Int. Cl.

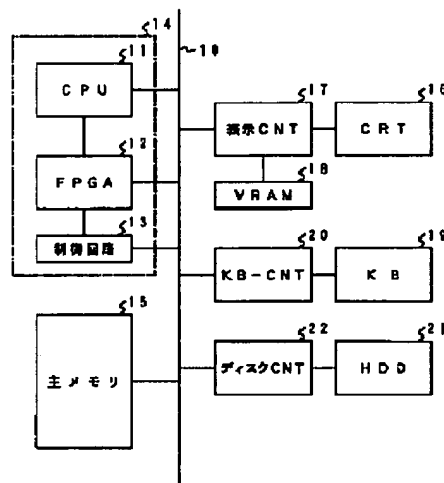
G06F 15/78
G06F 7/00
(21) Application number: **06206180**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **31.08.94**(72) Inventor: **SUZUKI YOICHI**(54) **DATA PROCESSOR**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To speed up program execution by making a specific part in a program into a hardware macro by a rewritable element with mapping data when the program is started.

CONSTITUTION: A CPU 11, an FPGA 12 which assists the control operation of the CPU 11, a control circuit 13 which controls the writing of mapping data to the FPGA 12, and a main memory 15 are connected to a system bus 10. When the verification of a source program is completed, the part preferably to be made into a hardware macro is analyzed. The specified part is made into the hardware macro matching characteristics of the FPGA 12. Then the block of the specific part made into the hardware macro is divided and mapped corresponding to the circuit scale of the block and FPGA 12 so as to realize the block by the FPGA 12. Further, the remaining module part to be executed by the CPU 11 is compiled into a load module, which is put together with the mapping data to form one access unit, so that access units are stored as series of object programs in a hard disk device 21.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-69447

(43) 公開日 平成8年(1996)3月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/78 7/00	5 1 0 Z	8323-5E	G 0 6 F 7/ 00	S

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平6-206180

(22) 出願日 平成6年(1994)8月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 鈴木 洋一

神奈川県川崎市幸区柳町70番地 株式会社

東芝柳町工場内

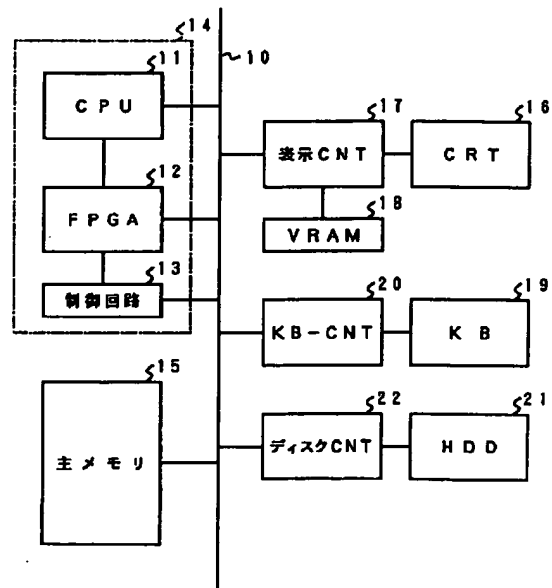
(74) 代理人 弁理士 鈴木 武彦

(54) 【発明の名称】 データ処理装置

(57) 【要約】

【目的】 任意のプログラムを高速で実行する。

【構成】 実行すべき任意のプログラムを記憶する主メモリ15と、この主メモリ15に記憶されたプログラムに従って演算を実行するCPU11と、このCPU11と接続され、上記プログラムのコンパイル時に自動生成されたプログラム中の特定部分のマッピングデータを、当該プログラムの起動時にロードしハードマクロ化して実現する書換可能素子としてのFPGA12とをシステム内に構成する。



【特許請求の範囲】

【請求項1】 実行すべき任意のプログラムを記憶する主メモリと、

この主メモリに記憶されたプログラムに従って演算を実行するCPUと、

このCPUと接続され、上記プログラムのコンパイル時に自動生成されたプログラム中の特定部分のマッピングデータを、当該プログラムの起動時にロードしハードマクロ化して実現する書換可能素子とを具備したことを特徴とするデータ処理装置。

【請求項2】 上記書換可能素子は上記主メモリに記憶されたプログラム中のサブルーチンをハードマクロ化して実現することを特徴とする請求項1記載のデータ処理装置。

【請求項3】 上記書換可能素子はFPGA(Field Programmable Gate Array)とその内容の書換制御を行なう制御回路とで構成することを特徴とする請求項1記載のデータ処理装置。

【請求項4】 上記CPUと書換可能素子とを1チップ化して構成することを特徴とする請求項1記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ユーザが設計現場で所望の論理回路を実現できるプログラム可能な論理回路を用いたデータ処理装置に関する。

【0002】

【従来の技術】 一般的なフォンノイマン型のコンピュータシステムでは、メモリに記憶したプログラムにしたがってCPUが逐次命令を実行し、キーボード、ディスプレイ、ディスク装置等の周辺機器とデータの入出力を行なうようになっている。

【0003】 上記コンピュータシステムにおけるプログラムの実行速度はCPUの性能に依存しており、特定の命令を高速に実行する必要がある場合でも、そのプログラムのコーディング手法の最適化や、コード生成の最適化といった作業で行なうことが一般的であり、システムによってはCPU内部のマイクロコードを書換えることで対処し、あるいはFPP(Floating Point Processor:浮動小数点演算器)等のようにLSIを含む特定演算処理用の専用のハードウェアを該CPUの外部に接続することで対処するようにしていた。

【0004】

【発明が解決しようとする課題】 しかしながら、上記専用のハードウェアをCPUの外部に接続する方法は、当該プログラムを専用で実行するシステムの実現時には有効ではあるが、汎用性がなく、簡単に他のハードウェアに変更することができないので、他のプログラムを実行する際には役に立たない。

【0005】 また、現状のマイクロコードを書換える方法では、すでにCPUとして実現されているハードウェアに依存したレベルでの命令の高速化であるため、プログラムに依存した大幅な変更作業を行なうことはできないという不具合があった。

【0006】 ところで、一般のゲートアレイに代表されるマスクASICに対して、ユーザが設計現場(フィールド)で所望の論理回路をプログラムしてそのまま使用できるPLD(Programmable Logic Device)やFPGA(Field Programmable Gate Array)などの書換可能素子が注目されている。このうちFPGAは、ユーザが手元で簡単に比較的大きな規模の所望回路を実現可能であり、開発の手間、費用、期間等を大幅に低減することができるため、ゲートアレイを量産する前の論理検証及び試作用デバイスを始め、近時では簡易型のASICそれ自体として利用されている。

【0007】 FPGAの基本的な構造は、ゲート回路を形成する基本セルとしての論理ブロックがチップ上に行列状に規則正しく配置され、その論理ブロックの周辺に論理ブロック間を接続するための汎用配線を施した配線領域を設ける。さらに、配線領域には多数の配線接続ポイントがあり、FPGAのアーキテクチャに従ってその接続ポイントにアンチヒューズまたはバストランジスタ等によるプログラム素子を配するものとなっている。

【0008】 回路の設計を行なうユーザは、これらの要素とI/Oブロックを使用して、指定する回路に応じて必要な論理ブロック領域と配線領域と配線接続ポイントとI/Oブロックを指定することにより、任意の回路を実現するものである。

【0009】 しかしながら、簡易型のASICとしてFPGAを利用する場合、その利用形態としては、ゲートレベルでの図面入力から開始して設計する方法と、上流設計手法を用いて言語から合成ツールによりFPGA用のネットリストを作成して設計する方法とがあるが、そのどちらにおいてもハードウェア設計を意識して設計しなければならない。そして、このASICとしてのFPGAを用いたシステムも販売されてきているが、そのFPGAの中に書込まれている回路は特定用途向けに作成されたもので、一般のソフトウェア作成者であるユーザが自由に利用できるレベルにまでは至っていない。

【0010】 本発明は上記のような実情に鑑みてなされたもので、その目的とするところは、FPGA等の書換可能素子を用いて任意のプログラムを高速で実行可能なシステム構成を有するデータ処理装置を提供することにある。

【0011】

【課題を解決するための手段】 すなわち本発明は、実行すべき任意のプログラムを記憶する主メモリと、この主メモリに記憶されたプログラムに従って演算を実行する

CPUと、このCPUと接続され、上記プログラムのコンパイル時に自動生成されたプログラム中の特定部分のマッピングデータを、当該プログラムの起動時にロードしハードマクロ化して実現する、例えばFPGAとその書換制御を行なう制御回路とでなる書換可能素子とをシステム内に構成するようにしたものである。

【0012】

【作用】上記のような構成とすることにより、プログラムのコンパイル時に実行速度を低下させるプログラム中の特定部分を検証して書換可能素子用のマッピングデータを自動生成し、当該プログラムの起動時に上記マッピングデータにより当該プログラム中の特定部分を書換可能素子でハードマクロ化して実現するようにしたので、任意のプログラムを高速処理可能となる。

【0013】

【実施例】以下図面を参照して本発明の一実施例を説明する。図1はその回路構成を例示するもので、10がシステムバスである。このシステムバス10に対して、システム全体の動作を制御するCPU11、このCPU11の制御動作を補助するFPGA12、このFPGA12へのマッピングデータの書込みを制御する制御回路13、実行すべきプログラムを記憶する主メモリ15が接続される。上記CPU11とFPGA12及びその制御回路13は1つのLSIチップ14として構成され、システムバス10を介さずにCPU11とFPGA12との間で直接データ、制御信号の送受を行なうことができる。

【0014】また、システムバス10にはさらに、表示部としてのCRT16、入力部としてのキーボード(KB)19及び外部記憶装置としてのハードディスク装置(HDD)21が表示コントローラ(表示CNT)17、キーボードコントローラ(KB-CNT)20及びディスクコントローラ(ディスクCNT)22を介してそれぞれ外部接続される。

【0015】表示コントローラ17は、CPU11の制御の下にVRAM18を用いて上記システムバス10を介して送られてくる表示データをビットマップ状に展開しながらCRT16の表示制御を行なう。

【0016】ハードディスク装置21は、ディスクコントローラ22を介してCPU11の制御の下に、OSと複数のコンパイルされたオブジェクトプログラム、データ等を保存し、必要に応じて読出すものである。

【0017】上記のような構成にあって、プログラムの作成から実行に至る間の動作は次のようになる。図2はユーザが例えばキーボード19でのキー入力によりソースプログラムを作成し、作成したソースプログラムをOS内のコンパイラに従ってオブジェクトプログラムに変換する間の処理過程を示すものである。

【0018】同図で、まずユーザが実行したいと思う機能から外部仕様を決定し、詳細検討、内部仕様書の作成を経てソースプログラムを作成すると(ステップA1

)、これをコンパイルする際にまずそのソースプログラムが正しいかどうか検証を行ない、仕様に合っていない不具合があればこれを修正する作業を行なう(ステップA2)。この場合、動作速度という仕様に関してのみ、これを満たしていない部分については問題点として残しておき、後で解決するものとする。

【0019】その後、ソースプログラムの検証を終えたと判断するまで上記検証と修正の作業を繰返すもので、終えたと判断した時点で(ステップA3)、次に当該ソースプログラム中の各モジュール毎に動作速度を向上する上でネックとなっており、ハードマクロ化した方がよい部分を解析する(ステップA4)。

【0020】ここでは、例えば特定ステップ以上のサブルーチン等のように動作速度の仕様を満たさないモジュールあるいは高速であった方が望ましいモジュールを該当部分として特定するもので、特定した部分をFPGA12の特性に合わせてハードマクロ化する(ステップA5)。

【0021】次いで、このハードマクロ化した特定部分のブロックをFPGA12で実現するためにブロックとFPGA12の回路規模に応じて分割、マッピングする(ステップA6)。この際、ハードマクロ化したブロックがFPGA12で実現できる規模のものであればそのまま割当て、FPGA12が複数必要である場合には当該ブロックを複数の素子に分割した上で、FPGA12の各素子にロードできるデータ構造(マッピングデータ)に変換する。

【0022】そして、残るCPU11で実行するモジュール部分をコンパイルしてロードモジュールとし、これを上記マッピングデータと合成して1つのアクセス単位にまとめ(ステップA7)、一連のオブジェクトプログラムとしてハードディスク装置21に記憶させるもので、以上でこの図2の処理を終了する。

【0023】こうして得られたオブジェクトプログラムを呼出して実行する処理過程を図3に示す。すなわち、ユーザがキーボード19でのキー入力によりプログラムの起動をかけるか、あるいは他の実行中のプログラムから起動指示があった場合(ステップB1)、この指示に対応してCPU11がハードディスク装置21をアクセスし、該当するプログラムを呼出すもので、呼出されたプログラムはCPU11で処理するロードモジュール部分が主メモリ15へ、ハードマクロ化されたマッピングデータが制御回路13の制御の下にFPGA12へそれぞれロードされる(ステップB2)。

【0024】その後、主メモリ15にロードされたプログラムに基づいて処理の実行をスタートし(ステップB3)、以後の各命令毎にその命令が主メモリ15から読出したソフトウェア部分であるか否かを判断し(ステップB4)、ソフトウェアであればCPU11により(ステップB5)、ソフトウェアでなければFPGA12に形成

したハードマクロ化された回路により（ステップB6）それぞれ命令を実行し、その後にプログラムが終了したか否か判断する（ステップB7）。

【0025】終了していない場合は次の命令について再度上記ステップB4からの処理を繰返し実行し、終了したと判断した時点で実行中のプログラムを停止して（ステップB8）、以上でこの図3によるプログラムに関する処理を終了するものである。

【0026】上記のような動作を行なうにあたって、CPU11とFPGA12及びその制御回路13を一体化して1つのLSIチップ14とすることにより、特にCPU11とFPGA12との間で信号を直接送受させることができるため、CPU11がソフトウェア処理として命令を実行処理する場合とFPGA12がハードウェア回路で命令を実行処理する際の移行を迅速に行なうことができ、プログラム全体をより高速に処理することができるようになる。

【0027】なお、上記実施例では書換可能素子としてFPGAを用いたがこれに限るものではない。さらに、近時FPGAから機能ブロックを取り除き、プログラム素子だけをアレイ状に集積した配線専用のLSIであるFPIC（Field Programmable interconnect components）が販売されているが、このFPICをFPGA等の書換可能素子と組合わせて使用することにより、容易に回路規模

を大きくすることができ、CPUの負担を軽減してより高速な処理が実行可能となる。

【0028】

【発明の効果】以上に述べた如く本発明によれば、プログラムのコンパイル時に実行速度を低下させるプログラム中の特定部分を検証して書換可能素子用のマッピングデータを自動生成し、当該プログラムの起動時に上記マッピングデータにより当該プログラム中の特定部分を書換可能素子でハードマクロ化して実現するようにしたので、任意のプログラムを高速で実行可能なシステム構成を有するデータ処理装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る回路構成を示すブロック図。

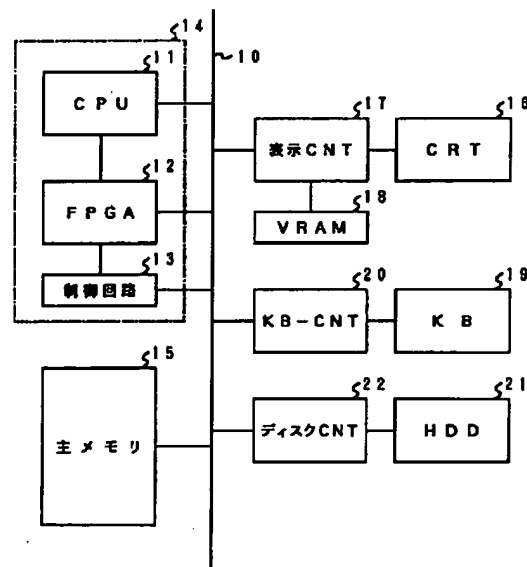
【図2】同実施例に係る動作を説明するフローチャート。

【図3】同実施例に係る動作を説明するフローチャート。

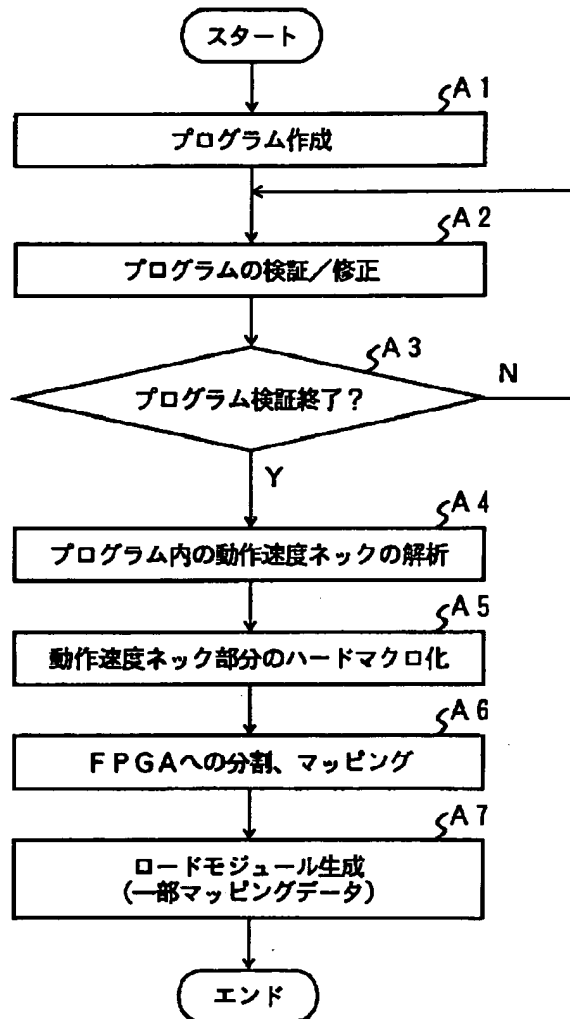
【符号の説明】

10…システムバス、11…CPU、12…FPGA、13…制御回路、14…LSIチップ、15…主メモリ、16…CRT、17…表示コントローラ（表示CNT）、18…VRAM、19…キーボード（KB）、20…キーボードコントローラ（KB-CNT）、21…ハードディスク装置（HDD）、22…ディスクコントローラ（ディスクCNT）。

【図1】



【図2】



【図3】

